

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Terunobu MARUYAMA et al.

Application No.: To be Assigned

Group Art Unit: To be Assigned

Filed: November 12, 2003

Examiner: To be Assigned

For: LOGICAL EQUIVALENCE VERIFYING DEVICE, LOGICAL EQUIVALENCE
VERIFYING METHOD, AND LOGICAL EQUIVALENCE VERIFYING PROGRAM

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2002-331756
Filed: November 15, 2003

Japanese Patent Application No. 2003-201144
Filed: July 24, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: Nov. 12, 2003

By: 

Gene M. Garner, II
Registration No. 34,172

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月15日
Date of Application:

出願番号 特願2002-331756
Application Number:
[ST. 10/C]: [JP 2002-331756]

出願人 富士通株式会社
Applicant(s):

2003年 8月 1日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号 出証特2003-3061640

【書類名】 特許願

【整理番号】 0251933

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/60

【発明の名称】 論理等価検証装置、論理等価検証方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 丸山 晃靖

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 中村 武雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 久門 由紀

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 佐藤 満

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100097250

【弁理士】

【氏名又は名称】 石戸 久子

【選任した代理人】

【識別番号】 100101856

【弁理士】

【氏名又は名称】 赤澤 日出夫

【手数料の表示】

【予納台帳番号】 038760

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 論理等価検証装置、論理等価検証方法

【特許請求の範囲】

【請求項 1】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録する第 1 識別子記録手段と、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段と、

を備えた論理等価検証装置。

【請求項 2】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録する第 2 識別子記録手段と、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段と、

を備えた論理等価検証装置。

【請求項 3】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段と、

を備えた論理等価検証装置。

【請求項 4】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行う内部検証ポイント対応付け手段と、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段と、

を備えた論理等価検証装置。

【請求項 5】 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分

の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行うステップと、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えた論理等価検証方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、設計中の回路の変更時における変更前回路と変更後回路との論理等価検証後において、変更前回路と変更後回路との論理が不一致となる箇所のみを表示する論理等価検証装置、論理等価検証方法に関するものである。

【0002】

【従来の技術】

論理等価検証技術は、大規模集積回路（LSI）などの論理設計検証を行うCAD技術のひとつである。LSIの開発は、仕様検討から始まり、最終的なLSIが製造されるまでに多数の工程がある。高い品質のLSIを開発するためには、その設計工程の途中で論理設計ミスが混入しないことが非常に重要となっている。

【0003】

設計工程では、論理的な仕様が確定してからも、実際のものづくりのための実装設計工程で、信号のタイミング調整や製造テストを行うためのスキャン回路挿入など、論理仕様は変更しないが論理回路の実現構成を変更することが多く行われる。この作業をインプリ工程と称する。このインプリ工程において論理を変更してしまうミスが混入する可能性が高い。そのため、インプリ工程前の論理回路とインプリ工程後の論理回路の論理仕様が一致しているか否かを検証して論理設

計品質を高める必要がある。そのための技術が論理等価検証技術である。以下、インプリ工程前の論理回路をスペック (Specification)、インプリ工程後の論理回路をインプリ (Implementation) と称する。

【0004】

論理等価検証を行う前に、まず論理回路内で複数の検証ポイントが選定される。検証ポイントは通常、LSIの外部端子やフリップフロップ (FF) など回路を切りやすいポイントが選定される。次に、ある検証ポイントを出力ポイントとする部分を論理コーンとして抽出する。論理コーンとは、出力ポイントとなった検証ポイントから、入力ポイントとなる他の検証ポイントまでバックトレースされた部分のことである。

【0005】

図10は、論理コーンの一例を示す図である。図10に示すように、論理コーン51は、出力ポイントである検証ポイント52から入力ポイントである検証ポイント53、54までバックトレースされた部分である。また、検証ポイント53、54は、他の論理コーンの出力ポイントである。それぞれの論理コーンは通常それほど大きくはないが、ひとつのLSI内からは数千～数万、数十万の論理コーンが切り出され、それぞれ論理等価検証が行われる。全ての論理コーンの論理が一致した場合に、インプリとスペックの2つの論理回路は初めて等価とみなされる。不一致となる場合には、複数の論理コーンの論理が不一致になることが多いため解析も大変になる。例えば図10に示すように、論理コーン51と論理コーン52が重複している場合、重複している箇所に設計ミスが混入すると両論理コーンが不一致と検証される。

【0006】

スペックとインプリの論理は一致することが期待されているが、論理構造の修正ミスなどにより検証結果が不一致となった場合には、その原因を解析し、論理を正しいものに修正する必要がある。

【0007】

変更前回路と変更後回路の論理等価検証を行い、その結果を表示する論理等価検証装置として、変更前回路と変更後回路の論理が不一致となった場合に、不

致となる部分を表示するものがある。（例えば、特許文献 1 参照）。

【0008】

【特許文献 1】

特開平 10-254923 号公報（第 3-4 頁、図 1）

【0009】

【発明が解決しようとする課題】

しかしながら、上述したように 1 つの L S I を構成する論理コーンの数は膨大であり、論理等価検証後における不一致原因の特定に多くの手間や時間がかかるという問題があった。

【0010】

本発明は上述した課題に鑑みてなされたものであり、論理等価検証後における不一致原因解析の手間を軽減し、設計・検証 T A T（Turn-around Time）を短縮できる論理等価検証装置、論理等価検証方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録する第 1 識別子記録手段と、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段とを備えたものである。

【0012】

このような構成によれば、二つの回路の論理等価検証前に行われる構造マッチングの結果を用いて容易にサブコーンを抽出することができる。また二つの回路

の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。なお、本実施の形態における第1識別子記録手段とは、内部DB5と前処理手段7のことである。

【0013】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録する第2識別子記録手段と、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段とを備えたものである。

【0014】

このような構成によれば、二つの回路の論理等価検証前に行われるインスタンス名マッチングの結果を用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。なお、本実施の形態における第2識別子記録手段とは、内部DB5と前処理手段7のことである。

【0015】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するサブコーン抽出手段と、前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、前記

論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段とを備えたものである。

【0016】

このような構成によれば、二つの回路の論理等価検証前において、テスト回路等の検証対象外となる部分を除外することにより容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、検証対象外となる部分は表示されず、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができる、設計期間を短縮することができる。

【0017】

また、本発明に係る論理等価検証装置において、論理コーンが前記所定部分によって複数の部分へ分割される場合に、前記サブコーン抽出手段は前記複数の部分をサブコーンとして抽出することを特徴とするものである、

【0018】

このような構成によれば、二つの回路の論理等価検証前において、テスト回路等の検証対象外となる部分を除外することにより、容易にサブコーンを抽出することができる。

【0019】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行う内部検証ポイント対応付け手段と、前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するサブコーン抽出手段と、前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段とを備えたものである。

【0020】

このような構成によれば、二つの回路の論理等価検証前に設定される内部検証ポイントを用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。なお、本実施の形態における内部検証ポイント対応付け手段とは、前処理手段7のことである。

【0021】

また、本発明に係る論理等価検証装置において、前記表示手段は、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンのみを表示することを特徴とするものである。

【0022】

このような構成によれば、二つの回路の論理等価検証後において、論理が不一致であるサブコーンのみが表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0023】

また、本発明に係る論理等価検証装置において、前記所定の二つの回路は、設計中の回路の変更時における変更前回路と変更後回路であることを特徴とするものである。

【0024】

このような構成によれば、変更前回路と変更後回路の論理等価検証後において、論理が不一致であるサブコーンのみが表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0025】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録するステップと、前記論理コーンから、互いに接続され同じ識

別子を持つ素子の集まりをサブコーンとして抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとを備えたものである。

【0026】

このような構成によれば、二つの回路の論理等価検証前に行われる構造マッチングの結果を用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができる、設計期間を短縮することができる。

【0027】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録するステップと、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとを備えたものである。

【0028】

このような構成によれば、二つの回路の論理等価検証前に行われるインスタンス名マッチングの結果を用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができる、設計期間を短縮することができる。

【0029】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとを備えたものである。

【0030】

このような構成によれば、二つの回路の論理等価検証前において、テスト回路等の検証対象外となる部分を除外することにより容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、検証対象外となる部分は表示されず、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができる、設計期間を短縮することができる。

【0031】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行うステップと、前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとを備えたものである。

【0032】

このような構成によれば、二つの回路の論理等価検証前に設定される内部検証ポイントを用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブ

コーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0033】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録するステップと、前記論理コーンから、互いに接続され同じ前記素子毎の識別子を持つ素子の集まりをサブコーンとして抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとをコンピュータに実行させるものである。

【0034】

このような構成によれば、二つの回路の論理等価検証前に行われる構造マッチングの結果を用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0035】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録するステップと、前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の

結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとをコンピュータに実行させるものである。

【0036】

このような構成によれば、二つの回路の論理等価検証前に行われるインスタ名マッチングの結果を用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0037】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、前記二つの回路における互に対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとをコンピュータに実行させるものである。

【0038】

このような構成によれば、二つの回路の論理等価検証前において、テスト回路等の検証対象外となる部分を除外することにより容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、検証対象外となる部分は表示されず、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0039】

また、本発明は、所定の二つの回路の論理等価検証を行い、該論理等価検証の

結果の表示をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行うステップと、前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するステップと、前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップとをコンピュータに実行させるものである。

【 0 0 4 0 】

このような構成によれば、二つの回路の論理等価検証前に設定される内部検証ポイントを用いて容易にサブコーンを抽出することができる。また二つの回路の論理等価検証後において、論理が一致したサブコーンと論理が不一致であるサブコーンが区別されて表示されることにより、不一致原因の解析の手間を軽減することができる、設計期間を短縮することができる。

【 0 0 4 1 】

【発明の実施の形態】

本発明は、論理等価検証後の解析時において、スペックとインプリにおいて明らかに一致する箇所、すなわち不一致原因ではない箇所を特定してその箇所を画面上に表示しないことで不一致原因の絞り込みを行い、不一致原因が潜んでいる箇所のみを表示するものである。以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 4 2 】

実施の形態 1.

本実施の形態では、論理等価検証前に論理コーン内に設定される複数の内部検証ポイントを利用して論理コーン内の部分をサブコーンとして抽出し、サブコーン毎に検証を行い、検証結果が一致しないサブコーンのみを表示する。

【 0 0 4 3 】

まず、論理等価検証装置について説明する。図 1 は、論理等価検証装置の構成

の一例を示すブロック図である。この論理等価検証装置は、図 1 に示すように、記憶部 1 と制御部 2 と表示部 3 と入力部 4 から構成される。記憶部 1 は、回路情報に関するデータベース (DB) や論理等価検証プログラム等を記憶する。制御部 2 は、記憶部 1 の論理等価検証プログラムや入力部 4 からの指示に従って表示部 3 への表示を行う。入力部 4 はユーザからの入力を受け付ける。

【0044】

次に、DB と論理等価検証プログラムについて説明する。図 2 は、DB と論理等価検証プログラムの一例を示す機能ブロック図である。図 2 に示すように、DB 100 は、回路に関する情報を記録する内部 DB 5 と、論理等価検証に関する情報を記録する検証用 DB 6 から構成されている。内部 DB 5 は、セルライブラリ 51 とスペックデザイン 52 とインプリデザイン 53 から構成される。セルライブラリ 51 はセル名やセルの回路情報等を記録する。セル名は、例えば AND 2 (2 入力の AND)、AND 3 (3 入力の AND) 等で表される。スペックデザイン 52 は、スペックにおけるインスタンス情報、セル名、回路接続情報等を記録する。インスタンス情報とはインスタンス名とインスタンス端子名からなる情報のことである。インスタンス名は個々の素子につけられた名称である。同様にインプリデザイン 53 は、インプリにおけるインスタンス情報、セル名、回路接続情報等を記録する。検証用 DB 6 は、サブコーンに関する情報とサブコーン毎の検証結果である検証情報を検証テーブルとして記録する。

【0045】

また、図 2 に示すように、論理等価検証プログラム 200 は、前処理手段 7 とサブコーン抽出手段 8 と検証手段 9 と表示手段 10 から構成される。図 3 は、論理等価検証プログラムのフローの一例を示すフローチャートである。

【0046】

まず、前処理手段 7 は、内部 DB 5 の回路に関する情報を用いて論理等価検証の前処理を行う (S1)。まず、前処理手段 7 は、スペックとインプリの間で階層インスタンスの対応付けを行う。ここでは、例えば階層のインスタンス名を用いて対応付けを行う。次に、スペックとインプリにおいて検証ポイントの選定と対応付けを行う。また、検証ポイントを出力ポイントとする部分を論理コーンと

して抽出する。次に、前処理手段7は、スペックとインプリにおいて論理コーン内の内部検証ポイントの選定と対応付けを行う。内部検証ポイントは、論理コーン内の部分的な出力を見るためのポイントである。

【0047】

次に、サブコーン抽出手段8は、複数の内部検証ポイントを利用して論理コーンからサブコーンを抽出し、抽出したサブコーンに関する情報を検証用DB6の検証テーブルに記録する(S2)。本実施の形態におけるサブコーンとは、出力ポイントとなった内部検証ポイントから、入力ポイントとなる他の内部検証ポイントまでバクトレースされた部分のことである。

【0048】

次に、検証手段9は、スペックとインプリの間で対応するサブコーン毎に論理等価検証を行い(S3)、その結果を検証情報としてサブコーン毎に検証DB6の検証テーブルに記録する。検証情報には例えば「不一致」、「未検証」、「一致」等の情報がある。

【0049】

また、本実施の形態において、検証情報が一致となった第1のサブコーンの入力ポイントとなる内部検証ポイントが、検証情報が一致となった第2のサブコーンの出力ポイントとなる内部検証ポイントである場合、それらの内部検証ポイントは保持せず、第1のサブコーンと第2のサブコーンを1つのサブコーンとして検証DB6の検証テーブルを更新する。

【0050】

次に、表示手段10は、検証DB6の検証テーブルにおける検証情報に従って、内部DB5からスペックとインプリの回路に関する情報を読み出し、スペックの回路図とインプリの回路図において論理が不一致となるサブコーンのみが表示部3に表示される(S4)。ここで、検証情報が「一致」であるサブコーンは表示されず、検証情報が「不一致」または「未検証」であるサブコーンは表示される。

【0051】

図4は、内部検証ポイントを用いて抽出されたサブコーンの一例を示す図であ

る。図4の(a)はスペックにおける論理コーンを示し、図4の(b)はインプリにおける論理コーンを示す。これら2つは対応する論理コーンである。また、白丸は検証ポイントを示し、黒丸は内部検証ポイントを示す。

【0052】

図4の(a)の論理コーンにおいては、内部検証ポイント21を出力ポイントとするサブコーンの検証情報が「不一致」となったため、このサブコーンは表示される。同様に、図4の(b)の論理コーンにおいては、内部検証ポイント22を出力ポイントとするサブコーンの検証情報が「不一致」となったため、このサブコーンは表示される。その他の内部検証ポイントを出力ポイントとするサブコーンについても、表示されるか否かが検証情報に従って決定される。

【0053】

実施の形態2.

本実施の形態では、論理等価検証前に自動的に実行される構造マッチングの結果を利用して論理コーン内の部分をサブコーンとして抽出し、サブコーン毎に検証を行い、検証結果が一致しないサブコーンのみを表示する。

【0054】

なお、本実施の形態においても図1に示した論理等価検証装置を用いて図3に示したフローで論理等価検証の処理を行うが、本実施の形態における前処理とサブコーン抽出の処理は実施の形態1における処理とは異なる。以下、本実施の形態における前処理とサブコーン抽出の処理について説明する。

【0055】

本実施の形態において、前処理手段7は、検証ポイントを出力ポイントとする部分を論理コーンとして抽出した後、スペックとインプリの間で対応する論理コーン同士の構造マッチングを行う。構造マッチングとは、スペックとインプリの間でインスタンス名やインスタンス間の接続関係や論理式等を比較することにより、回路の構造について対応する部分があるか否かを判定する処理である。サブコーン抽出手段8は構造マッチングの結果を用いて、論理コーンからサブコーンを抽出し、抽出したサブコーンに関する情報を検証用DB6の検証テーブルに記録する(S2)。論理等価検証(S3)とサブコーンの表示(S4)については

実施の形態 1 と同様の処理が行われる。

【0056】

次に、本実施の形態におけるサブコーンの抽出処理について説明する。まず、前処理手段 7 による構造マッチングの結果は、インスタンス毎に識別フラグとしてスペックデザイン 5 2 とインプリデザイン 5 3 に記録される。例えば、構造が不一致となったインスタンスには、識別フラグとして 1 が記録される。また、構造が一致となったインスタンスには、識別フラグとして 0 が記録される。次に、サブコーン抽出手段 8 は、スペックデザイン 5 2 とインプリデザイン 5 3 に記録された識別フラグを用いてサブコーンの抽出を行う。

【0057】

図 5 は、実施の形態 1 における論理コーン内のサブコーンの抽出処理の一例を示すブロック図である。まず、論理コーンの出力ポイントである検証ポイントを検査し、検証ポイントを最初のトレース元とする（S 1 1）。次に、インスタンス間の接続情報に従って、トレース元のインスタンスから論理コーンの入力ポイント方向に接続されたトレース先のインスタンスを探索するトレース処理を行う（S 1 2）。次に、トレース処理において、トレース元のインスタンスの識別フラグとトレース先全てのインスタンスの識別フラグとを比較を行う（S 1 3）。

【0058】

識別フラグの比較の結果、トレース先のいずれかのインスタンスの識別フラグがトレース元のインスタンスの識別フラグと等しい場合（S 1 3，N）、処理 S 1 2 へ戻り、等しい識別フラグを持つインスタンスを新たなトレース元としてトレース処理を続ける。

【0059】

一方、識別フラグの比較の結果、トレース先全てのインスタンスの識別フラグがトレース元のインスタンスの識別フラグと異なる場合（S 1 3，Y）、トレース処理された範囲をサブコーンとして抽出し、抽出したサブコーンを検証用 DB 6 へ登録する（S 1 4）。論理コーン内における新たなトレース元のインスタンスを検査する（S 1 5）。

【0060】

論理コーン内にトレース元となりうるインスタンスが、まだトレース処理されずに残っている場合（S16，N）、処理S12へ戻る。一方、論理コーン内にトレース元となりうるインスタンスがなくなった場合（S16，Y）、このフローを終了する。以上のフローにより、論理コーン内の全てのサブコーンが抽出される。このフローは全ての論理コーンに対して行われる。

【0061】

図6は、構造マッチングの結果を用いて抽出されたサブコーンの一例を示す図である。図6の（a）はスペックにおける論理コーンを示し、図6の（b）はインプリにおける論理コーンを示す。これら2つは対応する論理コーンである。また、点線で囲まれた部分はそれぞれ抽出されたサブコーンである。

【0062】

図6の（a）の論理コーンにおいては、検証ポイント11からトレース処理が行われる。まず、a1と接続されたa2がa1と等しい識別フラグを持つとすると、a1からa2へトレース処理が行われる。次に、a2と接続されたa5がa2と異なる識別フラグを持つとすると、トレース処理が行われない。さらに、a1と接続されたa3がa1と異なる識別フラグを持つとすると、トレース処理されるインスタンスがなくなる。結果として、a1とa2がサブコーン12として抽出される。

【0063】

次に、a3が新たなトレース元となり、同様のトレース処理が開始される。a3と接続されたa4、a5、a6が、a3と等しい識別フラグを持つとすると、a3からa4、a5、a6へトレース処理が行われる。次に、トレース元となるインスタンスがなくなる。結果として、a3、a4、a5、a6がサブコーン15として抽出される。従って図6の（a）の論理コーンにおいては、2つのサブコーン12，15が抽出される。

【0064】

同様に、図6の（b）の論理コーンにおいては、検証ポイント13からトレース処理が行われる。まず、a1と接続されたa2がa1と等しい識別フラグを持

つとすると、a 1 から a 2 へトレース処理が行われる。次に、a 2 と接続された a 8, a 9 が a 2 と異なる識別フラグを持つとすると、トレース処理が行われない。さらに、a 1 と接続された a 7 が a 1 と異なる識別フラグを持つとすると、トレース処理されるインスタンスがなくなる。結果として、a 1 と a 2 がサブコーン 14 として抽出される。

【0065】

次に、a 7 が新たなトレース元となり、同様のトレース処理が開始される。a 7 と接続された a 8 が a 7 と等しい識別フラグを持つとすると、a 7 から a 8 へトレース処理が行われる。次に、a 8 と接続された a 9 が a 8 と等しい識別フラグを持つとすると、a 8 から a 9 へトレース処理が行われる。次に、トレース元となるインスタンスがなくなる。結果として、a 7、a 8、a 9 がサブコーン 16 として抽出される。従って図 6 の (b) の論理コーンにおいては、2 つのサブコーン 14, 16 が抽出される。

【0066】

以上のように、互いに接続され、等しい識別フラグを持つインスタンスの集まりをサブコーンとして抽出し、スペックとインプリにおいて対応するサブコーン毎に検証を行う。図 6 において、対応するサブコーン 11 とサブコーン 13 は論理等価検証され、例えば検証結果が一致であれば表示しない。また、対応するサブコーン 15 とサブコーン 16 は論理等価検証され、例えば検証結果が不一致であれば表示される。以上により、論理が不一致であるサブコーンのみが表示部 3 に表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0067】

実施の形態 3.

本実施の形態では、論理等価検証前に自動的に実行されるインスタンス名マッチングの結果を利用して論理コーン内の部分をサブコーンとして抽出し、サブコーン毎に検証を行い、検証結果が一致しないサブコーンのみを表示する。

【0068】

なお、本実施の形態においても図 1 に示した論理等価検証装置を用いて図 3 に

示したフローで論理等価検証の処理を行うが、本実施の形態における前処理とサブコーン抽出の処理は実施の形態 1 における処理とは異なる。以下、本実施の形態における前処理とサブコーン抽出の処理について説明する。

【0069】

本実施の形態において、前処理手段 7 は、検証ポイントを出力ポイントとする部分を論理コーンとして抽出した後、スペックとインプリの間で対応する論理コーン内においてインスタンス名マッチングを行う。インスタンス名マッチングとは、スペックとインプリの間でインスタンス名を比較することにより、インスタンス名について対応する部分があるか否かを判定する処理である。サブコーン抽出手段 8 は、インスタンス名マッチングの結果を用いて、論理コーンからサブコーンを抽出し、抽出したサブコーンに関する情報を検証用 DB 6 の検証テーブルに記録する（S 2）。論理等価検証（S 3）とサブコーンの表示（S 4）については実施の形態 1 と同様の処理が行われる。

【0070】

次に、本実施の形態におけるサブコーンの抽出処理について説明する。まず、前処理手段 7 によるインスタンス名マッチングの結果は、インスタンス毎に識別フラグとリンク情報としてスペックデザイン 5 2 とインプリデザイン 5 3 に記録される。

【0071】

例えば、スペックのあるインスタンス名がインプリのいずれのインスタンス名とも一致しない場合は、スペックデザイン 5 2 内のあるインスタンスにおいて、識別フラグを 1 として記録するとともに、リンク情報は記録されない。同様に、インプリのあるインスタンス名がスペックのいずれのインスタンス名とも一致しない場合は、インプリデザイン 5 3 内のあるインスタンスにおいて、識別フラグを 1 として記録するとともに、リンク情報は記録されない。

【0072】

一方、スペックのあるインスタンス名がインプリのあるインスタンス名と一致している場合は、スペックデザイン 5 2 内のあるインスタンスにおいて、識別フラグが 0 として記録されるとともに、対応するインプリのインスタンスへのリン

ク情報が記録され、インプリデザイン 53 内のあるインスタンスにおいて、識別フラグが 0 として記録されるとともに、対応するスペックのインスタンスへのリンク情報が記録される。

【0073】

サブコーン抽出手段 8 は、スペックデザイン 52 とインプリデザイン 53 に記録された識別フラグを用いてサブコーンの抽出を行う。本実施の形態におけるサブコーンの抽出処理は、識別フラグがインスタンス名マッチングの結果によるものであること以外は、図 5 に示したフローチャートと同様のフローでサブコーンの抽出処理が行われる。このサブコーンの抽出処理は全ての論理コーンに対して行われる。

【0074】

図 7 は、インスタンス名マッチングの結果を用いて抽出されたサブコーンの一例を示す図である。図 7 の (a) はスペックにおける論理コーンを示し、図 7 の (b) はインプリにおける論理コーンを示す。これら 2 つは対応する論理コーンである。また、b1～b6 はインスタンス名を示す。

【0075】

図 7 の (a) の論理コーンにおいて、b1, b2, b3 が同じ識別フラグを持つとすると、b1, b2, b3 がサブコーン 31 として抽出される。また、b4, b5, b6 が同じ識別フラグを持つとすると、b4, b5, b6 がサブコーン 32 として抽出される。

【0076】

同様に、図 7 の (b) の論理コーンにおいて、b1, b2, b3 は同じ識別フラグを持つとすると、b1, b2, b3 がサブコーン 33 として抽出される。また、b4, b5, b6 は同じ識別フラグを持つとすると、b4, b5, b6 がサブコーン 34 として抽出される。

【0077】

以上のように、互いに接続され、等しい識別フラグを持つインスタンスの集まりをサブコーンとして抽出し、スペックとインプリにおいて対応するサブコーン毎に検証を行う。図 7 において、対応するサブコーン 31 とサブコーン 33 は論

理等価検証され、例えば検証結果が一致であれば表示しない。また、対応するサブコーン32とサブコーン33は論理等価検証され、例えば検証結果が不一致であれば表示される。以上により、論理が不一致であるサブコーンのみが表示部3に表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。

【0078】

実施の形態4.

本実施の形態では、論理等価検証前に論理コーンから検証対象外となる所定の部分を除外してサブコーンを抽出し、サブコーン毎に検証を行い、検証結果が一致しないサブコーンのみを表示する。

【0079】

なお、本実施の形態においても図1に示した論理等価検証装置を用いて図3に示したフローで論理等価検証の処理を行うが、本実施の形態における前処理とサブコーン抽出の処理は実施の形態1における処理とは異なる。以下、本実施の形態における前処理とサブコーン抽出の処理について説明する。

【0080】

まず、検証対象外となる部分について説明する。検証対象外となる部分には、例えば製造テストに使用するテスト回路（スキャン回路）や、ループ回路の切断による論理の変更箇所などがある。検証対象外となる部分は通常、論理等価検証前にユーザからの指示や前処理により、回路図から除外される。

【0081】

本実施の形態において、スペックとインプリにおける検証対象外の部分は、外部入力を備え、外部入力に所定の値を入力すると、他の入力ポイントにいかなる値を入力しても、出力ポイントの値が常に一定値を出力するように、あらかじめ設計される。論理等価検証前に、スペックとインプリにおける検証対象外の部分の外部入力に所定の値を入力することにより、出力ポイントの値は等しくなり、検証対象外の部分の抽出の処理は、実現される。

【0082】

次に、本実施の形態におけるサブコーンの抽出処理について説明する。本実施

の形態では、前処理手段 7 が検証ポイントを出力ポイントとする部分を論理コーンとして抽出した後、サブコーン抽出手段 8 は、スペックとインプリの対応する論理コーンに対して外部入力を行い、検証対象外の部分の抽出を行う（S 2 1）。この検証対象外の部分は非表示のサブコーンとして、検証用 DB 6 へ登録される。検証対象外の部分により論理コーンが複数に分割されない場合（S 2 2, N）、残りの部分をサブコーンとして検証用 DB 6 へ登録し（S 2 3）、このフローを終了する。一方、検証対象外の部分により論理コーンが複数に分割された場合（S 2 2, Y）、複数に分割された部分をサブコーンとして検証用 DB 6 へ登録し（S 2 4）、このフローを終了する。以上のフローによるサブコーン抽出処理は、検証対象外としたい部分を持つ論理コーン全てについて行われる。

【0 0 8 3】

サブコーン抽出手段 8 は以上のフローに従って、論理コーンからサブコーンを抽出し、抽出したサブコーンに関する情報を検証用 DB 6 の検証テーブルに記録する（S 2）。論理等価検証（S 3）とサブコーンの表示（S 4）については実施の形態 1 と同様の処理が行われる。

【0 0 8 4】

図 9 は、検証対象外の部分を除いて抽出されたサブコーンの一例を示す図である。図 9 の（a）はスペックにおける論理コーンを示し、図 9 の（b）はインプリにおける論理コーンを示す。これら 2 つは対応する論理コーンである。また、斜線部分はそれぞれ検証対象外の部分である。

【0 0 8 5】

図 9 の（a）の論理コーンにおいては、外部入力を行うことにより、斜線部分の出力ポイント 4 1 は常に一定値を出力する。これにより、斜線部分は検証対象外とすることができる。ここでは、検証対象外の部分の抽出により論理コーンが 2 つに分割されるため、2 つに分割された部分がサブコーン 4 2, 4 3 として抽出される。

【0 0 8 6】

同様に、図 9 の（b）の論理コーンにおいては、外部入力を行うことにより、斜線部分の出力ポイント 4 4 は常に一定値を出力する。これにより、斜線部分は

検証対象外とすることができる。ここでは、検証対象外の部分の抽出により論理コーンが2つに分割されるため、2つに分割された部分がサブコーン45、46として抽出される。

【0087】

以上のように、検証対象外の部分を除いてサブコーンを抽出し、スペックとインプリにおいて対応するサブコーン毎に検証行う。図9において、斜線部分は表示されない。また、対応するサブコーン43とサブコーン46は論理等価検証され、例えば検証結果が一致であれば表示されない。また、対応するサブコーン42とサブコーン45は論理等価検証され、例えば検証結果が不一致であれば表示される。以上により、論理が不一致であるサブコーンのみが表示部3に表示されることにより、不一致原因の解析の手間を軽減することができ、設計期間を短縮することができる。本実施の形態では、検証対象外の部分を表示しないとしたが、低輝度表示を行うようにしても良い。

【0088】

なお、実施の形態1から実施の形態4においては、検証結果としてスペックの回路図とインプリの回路図の両方を表示部3へ表示するとしたが、一方の回路図のみを表示するようにしても良い。また、検証結果が一致した箇所は表示しないとしたが、低輝度表示を行っても良い。以上、実施の形態1から実施の形態4を説明したが、上述した実施の形態において説明された論理等価検証装置や論理等価検証プログラムの構成及び動作は、本発明を実現するための一例であり、その構成は本発明の趣旨を逸脱しない範囲内において特に限定されず、適宜応用可能であることは言うまでもない。

【0089】

(付記1) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録する第1識別子記録手段と

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段と、

を備えた論理等価検証装置。

(付記2) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置であって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録する第2 識別子記録手段と、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段と、

を備えた論理等価検証装置。

(付記3) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、

前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段と、

を備えた論理等価検証装置。

(付記 4) 付記 3 に記載の論理等価検証装置において、

論理コーンが前記所定部分によって複数の部分へ分割される場合に、前記サブコーン抽出手段は前記複数の部分をサブコーンとして抽出することを特徴とする論理等価検証装置。

(付記 5) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証装置において、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行う内部検証ポイント対応付け手段と、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するサブコーン抽出手段と、

前記サブコーン抽出手段により抽出されたサブコーン毎に前記二つの回路の論理等価検証を行う検証手段と、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示する表示手段と、

を備えた論理等価検証装置。

(付記 6) 付記 1 乃至付記 5 のいずれかに記載の論理等価検証装置において、

前記表示手段は、前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンのみを表示することを特徴とする論理等価検証装置。

(付記 7) 付記 1 乃至付記 6 のいずれかに記載の論理等価検証装置において、

前記所定の二つの回路は、設計中の回路の変更時における変更前回路と変更後回路であることを特徴とする論理等価検証装置。

(付記 8) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表

示を行う論理等価検証方法であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録するステップと、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えた論理等価検証方法。

(付記 9) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録するステップと、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えた論理等価検証方法。

(付記 10) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、

前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えた論理等価検証方法。

(付記 1 1) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示を行う論理等価検証方法であって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付けを行うステップと、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

を備えた論理等価検証方法。

(付記 1 2) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行い、前記構造マッチングの結果を素子毎の識別子として記録するステップと、

前記論理コーンから、互いに接続され同じ前記素子毎の識別子を持つ素子の集まりをサブコーンとして抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

(付記 1 3) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、

前記二つの回路における互いに対応する論理コーンにおいて、素子毎にインスタンス名が一致するか否かを判定するインスタンス名マッチングを行い、該インスタンス名マッチングの結果を識別子として記録するステップと、

前記論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

(付記 1 4) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、

前記二つの回路における互いに対応する論理コーンにおいて、論理コーンのうち所定部分に外部入力を与えて前記所定部分の出力を一定値とすることで、論理コーンから前記所定部分を除いて、サブコーンを抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

(付記 1 5) 所定の二つの回路の論理等価検証を行い、該論理等価検証の結果の表示をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された論理等価検証プログラムであって、

前記二つの回路における互いに対応するそれぞれの論理コーンにおいて、部分の出力を見るための内部検証ポイントを選定し、前記内部検証ポイントの対応付

けを行うステップと、

前記論理コーンから、前記内部検証ポイントを用いてサブコーンを抽出するステップと、

前記サブコーン毎に前記二つの回路の論理等価検証を行うステップと、

前記論理等価検証の結果に基づいて、前記論理等価検証の結果が不一致となるサブコーンと前記論理等価検証の結果が一致するサブコーンとを区別して表示するステップと、

をコンピュータに実行させることを特徴とする論理等価検証プログラム。

【 0 0 9 0 】

【発明の効果】

以上に詳述したように本発明によれば、サブコーン単位で論理等価検証を行い、不一致原因が潜んでいるサブコーンのみを表示することにより、ユーザが行う不一致原因の解析の手間を軽減し、設計・検証 T A T を短縮することができる。

【図面の簡単な説明】

【図 1】

論理等価検証装置の構成の一例を示すブロック図である。

【図 2】

D B と論理等価検証プログラムの一例を示す機能ブロック図である。

【図 3】

論理等価検証プログラムのフローの一例を示すフローチャートである。

【図 4】

内部検証ポイントを用いて抽出されたサブコーンの一例を示す図である。

【図 5】

実施の形態 2 と実施の形態 3 における論理コーン内のサブコーンの抽出処理の一例を示すブロック図である。

【図 6】

構造マッチングの結果を用いて抽出されたサブコーンの一例を示す図である。

【図 7】

インスタンス名マッチングの結果を用いて抽出されたサブコーンの一例を示す

図である。

【図 8】

実施の形態 4 におけるサブコーンの抽出処理の一例を示すブロック図である。

【図 9】

検証対象外の部分を除いて抽出されたサブコーンの一例を示す図である。

【図 1 0】

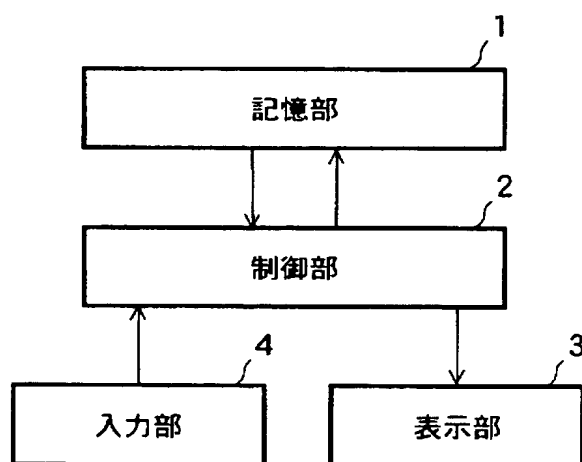
論理コーンの一例を示す図である。

【符号の説明】

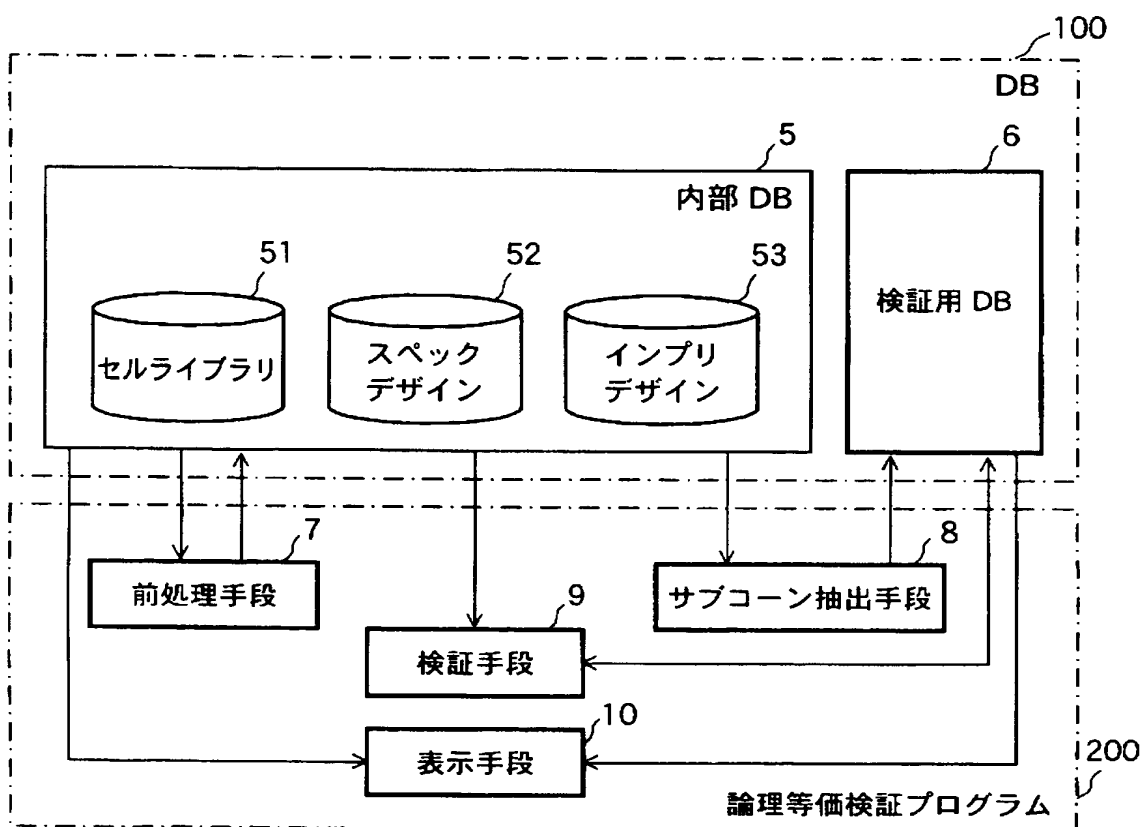
1 記憶部、2 制御部、3 表示部、4 入力部、1 0 0 DB、5 内部 DB、5 1 セルライブラリ、5 2 スペックデザイン、5 3 インプリデザイン、6 検証用 DB、2 0 0 論理等価検証プログラム、7 前処理手段、8 サブコーン抽出手段、9 検証手段、1 0 表示手段、1 1, 1 3 検証ポイント、2 1, 2 2 内部検証ポイント、1 2, 1 4, 1 5, 1 6, 3 1, 3 2, 3 3, 3 4, 4 2, 4 3, 4 5, 4 6 サブコーン。

【書類名】 図面

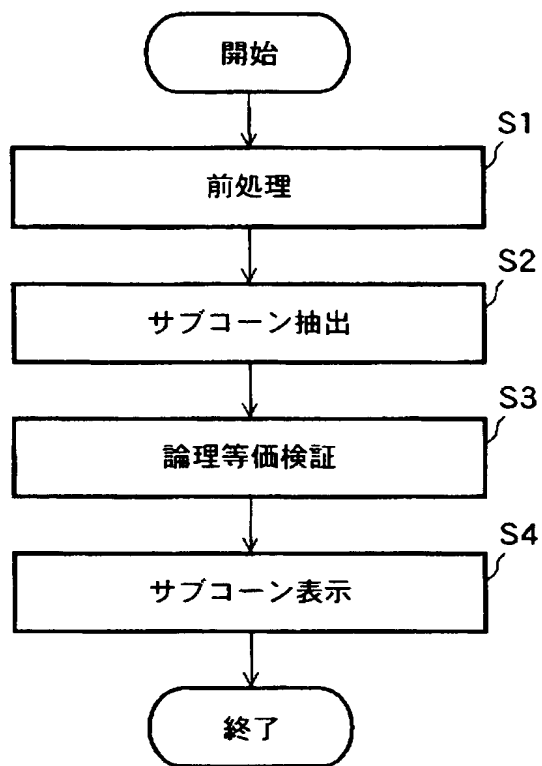
【図 1】



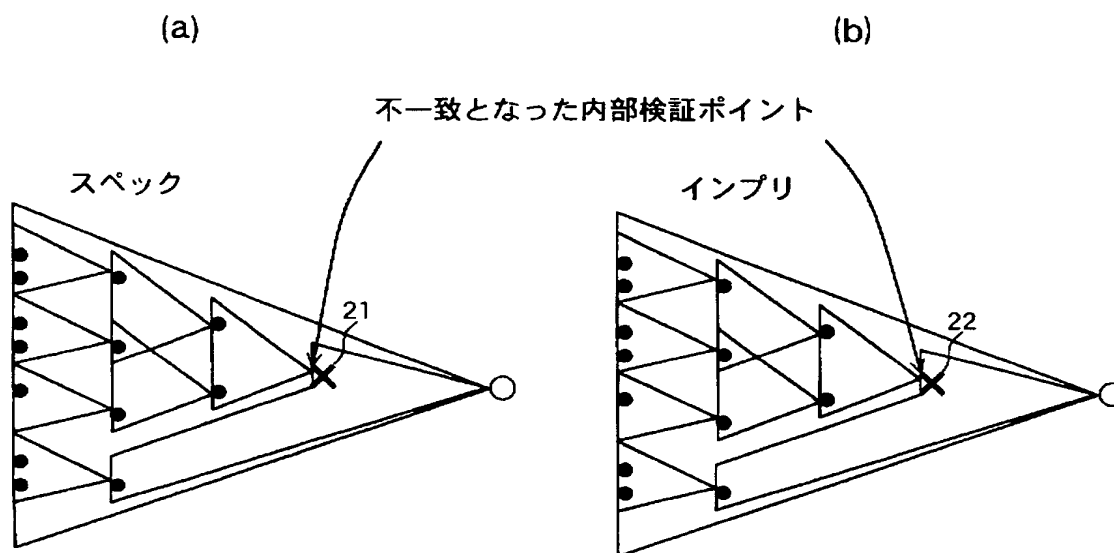
【図 2】



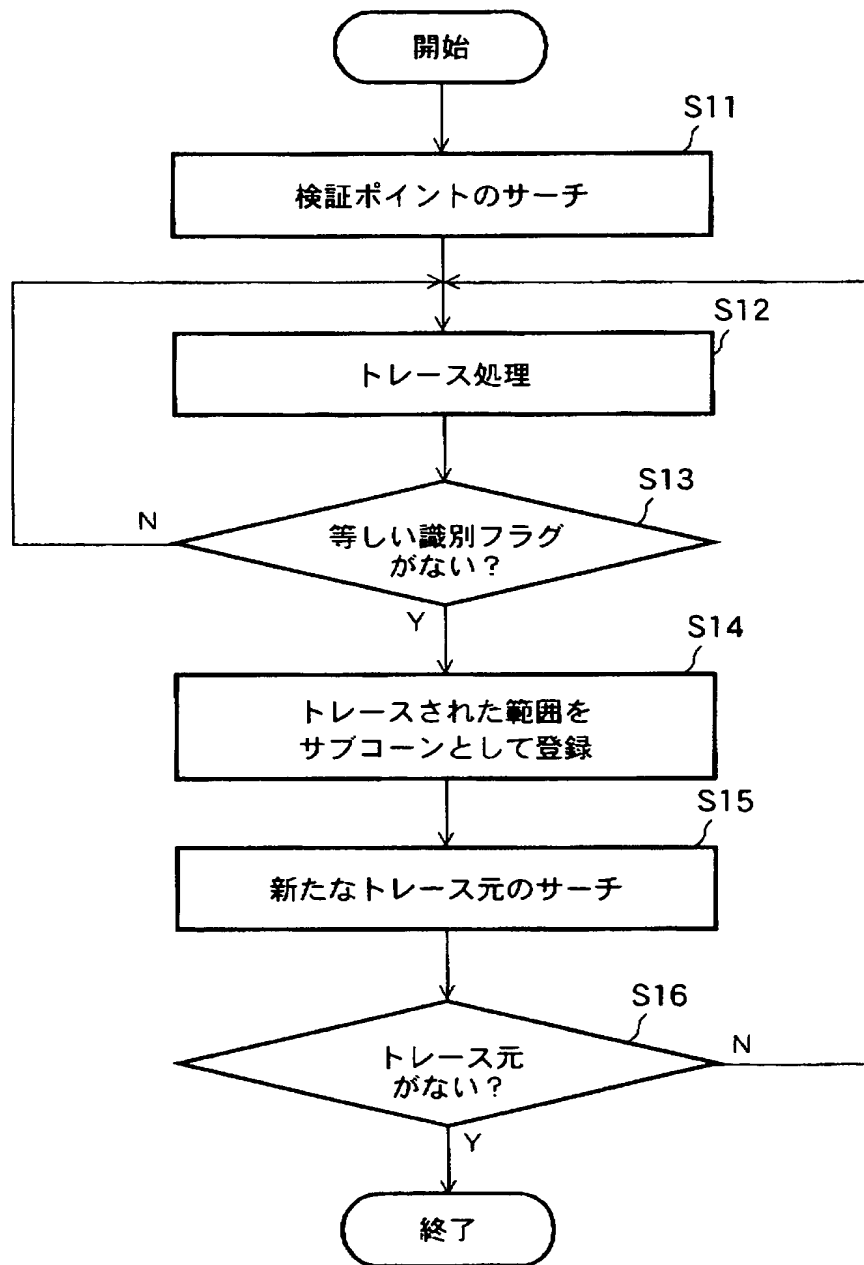
【図 3】



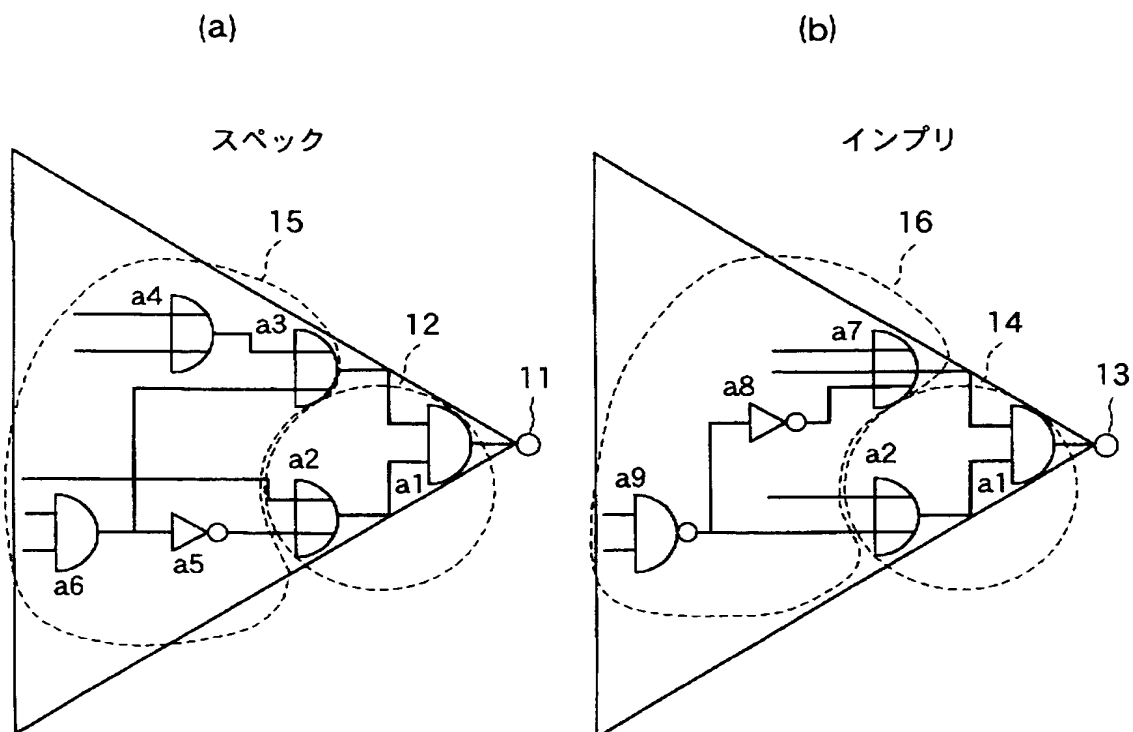
【図 4】



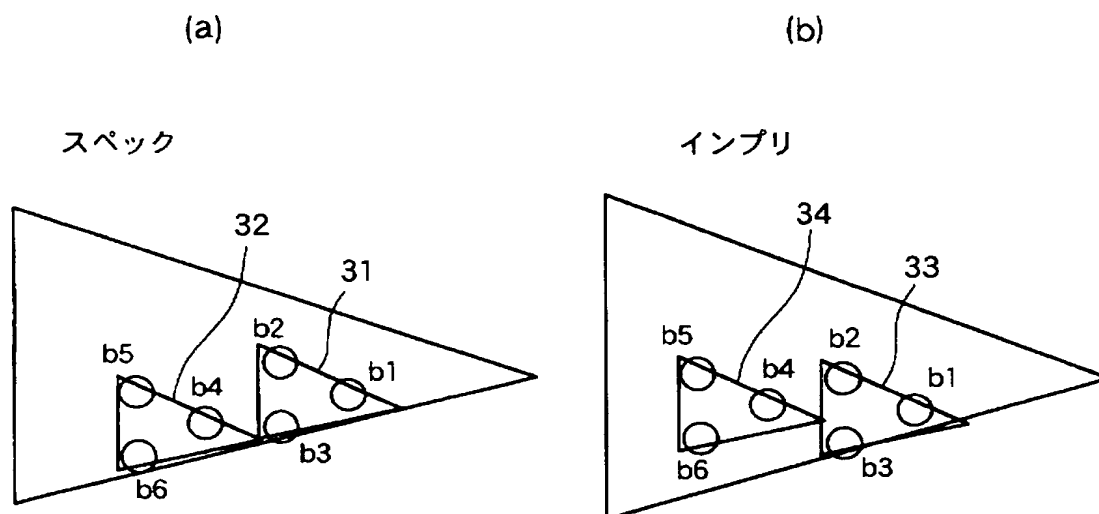
【図 5】



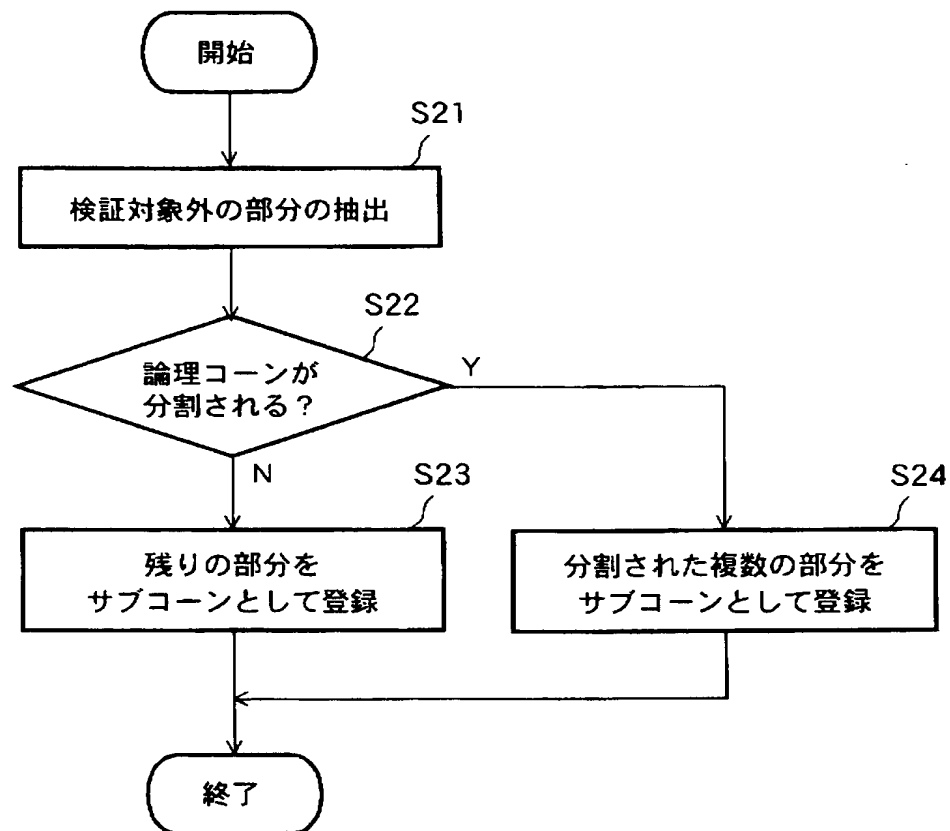
【図 6】



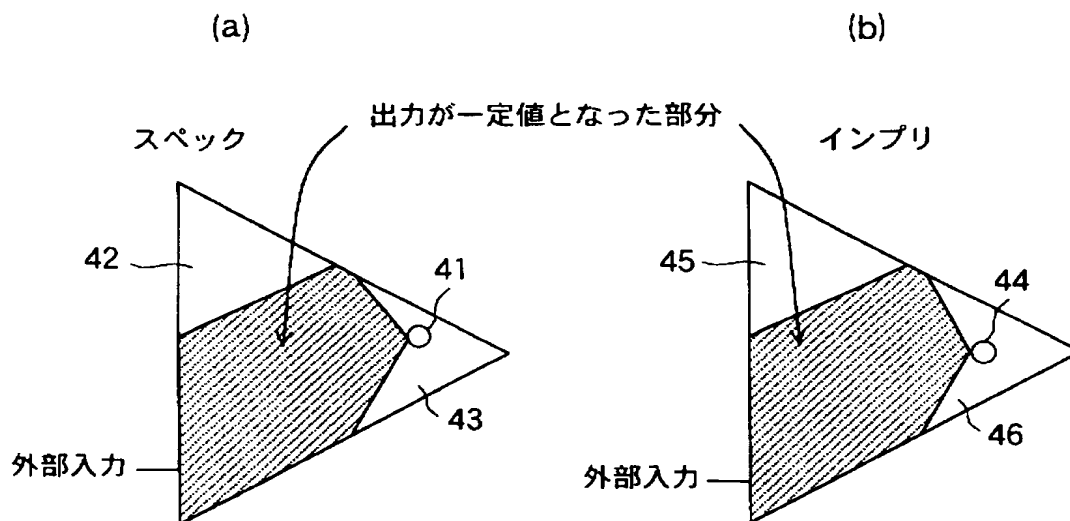
【図 7】



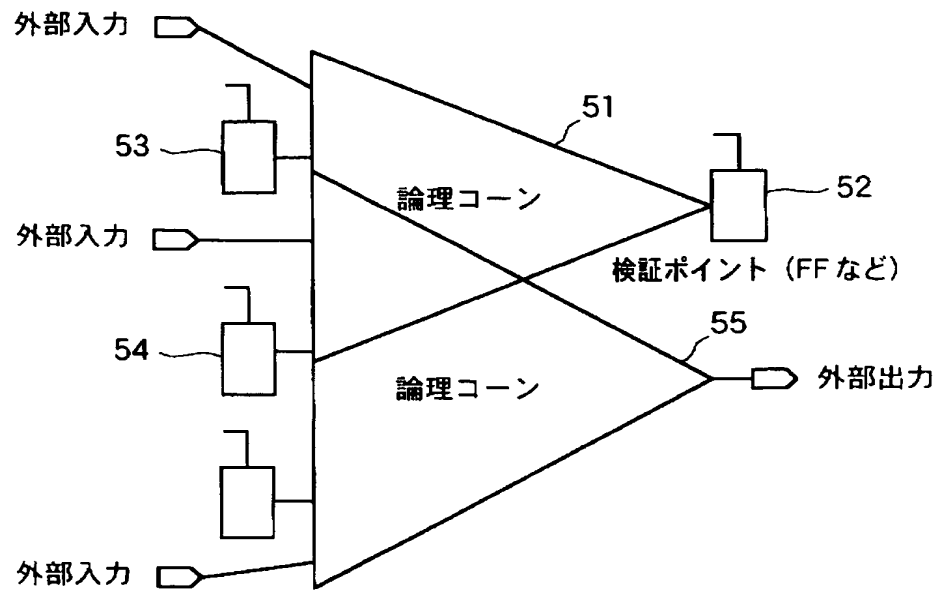
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 論理等価検証後における不一致原因解析の手間を軽減し、設計・検証 T A T を短縮できる論理等価検証装置、論理等価検証方法を提供することを目的とする。

【解決手段】 所定の二つの回路の論理等価検証を行い、論理等価検証の結果の表示を行う論理等価検証装置において、二つの回路における互いに対応するそれぞれの論理コーンにおいて、回路の構造について対応する部分があるか否かを判定する構造マッチングを行う前処理手段 7 と、構造マッチングの結果を素子毎の識別子として記録する内部 D B 5 と、論理コーンから、互いに接続され同じ識別子を持つ素子の集まりをサブコーンとして抽出するサブコーン抽出手段 8 と、抽出されたサブコーン毎に二つの回路の論理等価検証を行う検証手段 9 と、論理等価検証の結果が不一致となるサブコーンのみを表示する表示手段 1 0 を備えた。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 1 7 5 6
受付番号	5 0 2 0 1 7 2 7 7 1 4
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 1 1 月 1 8 日

< 認定情報・付加情報 >

【提出日】 平成14年11月15日

次頁無

特願 2 0 0 2 - 3 3 1 7 5 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

- 1 . 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区上小田中 1 0 1 5 番地
氏 名 富士通株式会社
- 2 . 変更年月日 1 9 9 6 年 3 月 2 6 日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社